

Docket No. 8733.434.00



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: **Sung-II PARK et al.**

GAU: 2871

SERIAL NO: 09/866,656

EXAMINER: Unknown

FILED: May 30, 2001

FOR: Liquid Crystal Display Device Implementing Improved Electrical Lines and the Fabricating Method

REQUEST FOR PRIORITY

COMMISSIONER OF PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [], filed [], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-29725	May 31, 2000

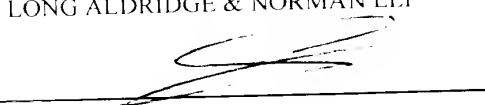
Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

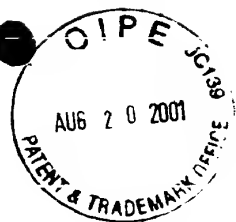
LONG ALDRIDGE & NORMAN LLP

Date: August 20, 2001

  
Song K. Jung

Registration No. 35,210

Sixth Floor, Suite 600  
701 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
Tel: (202) 624-1200  
Fax: (202) 624-1298  
82907



FILED  
MAY 20 2001  
LONG BRIDGE & MONUMENTS  
(202) 424-1200

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 29725 호  
Application Number

출원년월일 : 2000년 05월 31일  
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s)

2001 년 04 월 23 일

특 허 청 장  
COMMISSIONER

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.05.31
【발명의 명칭】	액정표시장치 제조방법
【발명의 영문명칭】	method for fabricating liquid crystal display device
【출원인】	
【명칭】	엘지 . 필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	박성일
【성명의 영문표기】	PARK, SUNG-IL
【주민등록번호】	710208-1792612
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 1108-8
【국적】	KR
【발명자】	
【성명의 국문표기】	권극상
【성명의 영문표기】	KWON, KEUK-SANG
【주민등록번호】	701220-1823015
【우편번호】	730-330
【주소】	경상북도 구미시 황상동 화진 금봉 아파트 202-805
【국적】	KR
【발명자】	
【성명의 국문표기】	이경락
【성명의 영문표기】	LEE, KYONG-RAK
【주민등록번호】	710222-1783011

【우편번호】 730-360

【주소】 경상북도 구미시 진평동 77BL 주공아파트 101-1604

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
정원기 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	2 면	2,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	3 항	205,000 원
【합계】	236,000 원	

【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 액정표시장치에 관한 것이며, 서로 교차하여 형성되는 게이트배선과 데이터배선의 일 측에 위치하는 게이트 구동IC와 소스 구동IC와, 상기 게이트 구동IC와 소스 구동IC에 각각 연결되는 게이트 PCB와 소스 PCB를 포함하는 액정표시장치에서, 상기 소스 PCB를 통해 흐르는  $V_{com}, V_{gh}, V_{gl}, V_{cc}, G_{sp}, G_{sc}, G_{oc}, G_{nd}$ 의 게이트신호를 상기 게이트 PCB로 전달하는 수단으로서 별도의 신호전송회로(FPC)를 부착하지 않고, 액정패널의 하부기판(어레이기판)에 직접 게이트신호 전송배선을 구성하고, 상기 게이트신호 전송배선 중 상기  $V_{gl}$ 의 신호가 흐르는 게이트 신호전송배선의 저항을 최대한  $30\Omega$ 이하로 형성하였다.

이와 같은 구성은 FPC를 별도로 사용하지 않으므로 저 비용 효과를 얻을 수 있고, 상기 게이트배선에 입력되는 상기  $V_{gl}$  신호파형의 왜곡이 없기 때문에 이에 따른 크로스토크(cross talk)현상이 발생하지 않는 액정표시장치를 제작할 수 있다.

## 【대표도】

도 7

## 【명세서】

## 【발명의 명칭】

액정표시장치 제조방법 {method for fabricating liquid crystal display device}

## 【도면의 간단한 설명】

도 1은 테이프캐리어 패키지 구조를 도시한 단면도이고,

도 2는 종래에 따른 액정표시장치를 개략적으로 도시한 평면도이고,

도 3은 종래의 개선된 게이트신호 전송배선 구조를 가지는 액정표시장치를 개략적으로 도시한 평면도이고,

도 4는 도 3의 A를 확대한 부분 확대도이고,

도 5는 화질불량 여부를 테스트하기 위해 액정패널에 윈도우패턴을 띄운 평면도이고,

도 6a 내지 도 6b는 전술한 도 5의 윈도우패턴을 띄운 액정패널에서 상기 윈도우 영역의 경계부에서의 파형을 나타낸 도면이고,

도 7은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,

도 8은 본 발명에 따라 제작된 액정패널에 띄운 윈도우영역과 주변영역과 그 경계부에서 나타나는  $V_{gl}$  신호파형을 도시한 도면이다.

## &lt;도면의 주요부분에 대한 간단한 설명&gt;

135 : 게이트신호 전송배선

135a :  $V_{gl}$  게이트신호 전송배선

141 : 게이트배선	143 : 데이터배선
145 : 게이트구동IC	147 : 소스구동IC
149 : 게이트 PCB	150 : 액정표시장치
151 : 소스 PCB	153 : 액정패널
161 : 게이트패드	163 : 소스패드

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 액정표시장치에 관한 것이며, 특히 상기 액정표시장치의 액정패널에 연결되는 소스 프린트 회로기판(source printed circuit board : 이하 '소스 PCB'라 칭함)과 게이트 프린트 회로기판(gate printed circuit board : 이하 '게이트 PCB'라 칭함)사이를 연결하여 신호를 전송하는 터미널배선인 게이트신호 전송배선의 구성에 관한 것이다.

<17> 일반적으로, 액정표시장치는 투명한 상부기판과 하부기판을 포함하고 상기 상부기판과 하부기판 사이에 주입되는 액정(liquid crystal(LC))을 포함한다.

<18> 액티브매트릭스형 액정표시장치(AMLCD)일 경우, 상기 하부기판에는 다수의 화소에 대응하는 다수의 스위칭소자가 매트릭스 형태로 형성된다.

<19> 상기 스위칭소자는 소스전극과 드레인전극과 게이트전극으로 구성되는 박막트랜지스터를 예로 들 수 있으며, 이때 상기 게이트전극에 주사신호(scanning signal)를 전달

하는 게이트배선과, 상기 소스전극에 데이터신호를 전달하기 위한 데이터배선이 형성되며, 상기 게이트배선과 데이터배선은 절연막을 사이에 두고 서로 교차하여 형성된다.

<20> 또한, 상기 각 화소마다 상기 드레인전극과 접촉하는 화소전극이 형성된다.

<21> 한편, 상부기판에는 투명한 도전성금속을 증착하여 공통전극(common electrode)을 형성한다.

<22> 이때, 상기 액정표시장치가 컬러표시수단일 경우에는, 상기 상부기판 상에 컬러필터(color filter)를 부착한 후, 상기 컬러필터 상에 공통전극을 형성한다.

<23> 전술한 바와 같이 구성된 하부기판과 상부기판은 접착제(sealant)에 의해 서로 부착되고 액정(LC : liquid crystal)이 주입되어 액정패널을 구성하게 된다.

<24> 이와 같이 제작되는 액정표시장치는 상기 게이트전극에 인가되는 주사신호의 제어로 상기 데이터배선을 통해 액정으로 신호전압이 전달되며, 이와 같은 가변적인 데이터전압은 액정의 분극상태를 단계적으로 바꾸기 때문에 액정표시장치에서의 그레이레벨(grey level)을 다양하게 표현할 수 있다.

<25> 이러한 액정표시장치는 상기 액정패널의 하부기판에 형성된 각 배선에 신호를 인가하는 수단이 되는 구동IC를 다양한 방식으로 탑재하게 되며, 이러한 기술은 다양하게 구사될 수 있다.

<26> 예를 들면, COB(chip on board), COG(chip on glass), TCP(tape carrier package) 등의 방법이 있다.

<27> 상기 COB(chip on board)방법은 세그먼트(segment)방식의 액정표시장치 또는 낮은 해상도의 패널의 경우에 해당하며, 리드(lead)의 수가 적기 때문에 구동IC기 프린트 회



로기관(PCB)위에 있고, 상기 프린트 회로기관의 리드를 상기 액정패널과 소정의 방법으로 연결하는 방식이다.

<28> 그러나, 상기 액정표시장치가 고해상도가 되어가면서 엄청난 수의 리드를 갖는 구동IC를 상기 프린트 회로기관에 장착하기가 용이하지 않게 되었다.

<29> 또 다른 방식인 상기 COG방식은 칩온 글라스 방식으로 칩을 패널 상에 직접 실장함으로써 접속안정이 우수하고 접속단자의 부가가 없어 미세 피치의 실장을 할 수 있다.

<30> 상기 칩온 글라스 방식은 프린트 회로기관 대신 다층 플렉시블 프린트 회로기관(flexible print circuit board : 이하 'FPC'라 칭함)이 패널에 ACF로 접촉되어 IC에 입력신호를 주게 된다.

<31> 상기 칩온 글라스 방식의 가장 큰 장점은 비용절감과 신뢰성이 향상된다는 것이다.

<32> 반면 불량에 대한 수리가 어렵고 칩온 글라스방식에 의한 IC 실장을 위한 패드 영역 때문에 패널크기가 커지는 문제점이 있다.

<33> 또 다른 방식인 테이프 캐리어 패키지(tape carrier package : 이하 'TCP'라 칭함)의 경우는 고분자 필름 위에 구동 IC칩을 실장하는 패키지다.

<34> 이 기술은 LCD뿐 아니라 휴대용 전화기 등 경박단소의 패키지가 필요한 제품에서 많이 사용되는 방법이다.

<35> 도 1은 일반적인 테이프 캐리어 패키지가 실장된 액정표시장치의 구조를 도시한 단면도이다.

<36> 도시한 바와 같이, 상기 테이프캐리어 패키지구조(Z)는 구동 IC(17)를 고분자 필름(19)위에 실장하고, 상기 구동 IC칩이 실장된 고분자필름을 상기 상부기관(13)과 하

부기관(11)이 합착된 액정패널의 하부기관과 프린트 회로기관(20)에 걸쳐 이방성 도전막(ACF : Anisotropic Conductive Film)(18)으로 부착하여 제작한다.

- <37> 이러한 구성을 갖는 TCP는 어레이기관의 데이터배선(미도시)의 일측 또는 양측과, 게이트배선(미도시)의 일측 또는 양측에서 신호를 인가하여 패널을 구동한다. (본 명세서에서는 구동회로를 부착하는 방식을 전술한 TCP방식을 예로 들어 설명하도록 한다.)
- <38> 도 2는 TCP방식을 사용하여 구동IC를 실장한 액정표시장치의 개략적인 평면도이다.
- <39> 도시한 바와 같이, 액정표시장치(24)는 게이트배선(22)과 데이터배선(28)이 서로 교차하여 구성된 하부기관(23)과, 상기 하부기관(23)과 합착되어 액정패널을 구성하는 상부기관(25)과, 상기 데이터배선(28)의 일 측에 위치하고 상기 데이터배선(28)과 연결되어 상기 데이터배선(28)에 신호를 인가하는 소스 구동IC칩이 실장된 소스TCP(27)와, 상기 게이트배선(22)의 일 측에 위치하고 상기 게이트배선(22)과 연결되어 상기 게이트 배선에 주사신호를 전달하는 게이트 구동IC칩이 실장된 게이트 TCP(29)를 포함한다.
- <40> 또한, 상기 소스 TCP(27)에 연결되어 외부의 제어신호를 전달하는 매개수단인 소스 PCB(31)와, 상기 게이트 TCP(29)에 연결된 게이트 PCB(33)를 포함한다.
- <41> 이 때, 상기 게이트구동 IC를 제어하는 외부회로는 상기 소스 PCB(31)를 통해 상기 게이트 PCB(33)로 흐르게 되며 이 때, 전술한 FPC를 이용하여 상기 소스 PCB(31)를 통해 흐르는 게이트 구동신호를 상기 게이트 PCB(33)에 전달하게 된다.
- <42> 즉, 상기 FPC(35)를 통해  $V_{com}$ ,  $V_{gh}$ ,  $V_{gl}$ ,  $V_{cc}$ ,  $G_{sp}$ ,  $G_{sc}$ ,  $G_{oe}$ ,  $G_{nd}$  등의 게이트 TCP의 구동에 필요한 신호가 상기 소스 PCB에서 상기 게이트 PCB를 통해 흐르게 된다.
- <43> 상기 신호 중 게이트배선을 통해 직접 흐르는 신호는 게이트 하이(high)전압인  $V_{gh}$

와 게이트 로우(low)전압인  $V_{gl}$  신호이며, 상기  $V_{com}$  신호는 액정패널의 상부기판에 인가되는 신호이고, 나머지는 상기 게이트배선을 흐르는 게이트 신호( $G_{sc}$ ,  $G_{oc}$ )를 제어하고, 상기 구동IC를 제어하는 신호( $G_{sp}$ )이다.

<44> 이 때, 전술한 구성은 게이트 제어신호를 상기 FPC(35)라는 별도의 부품을 사용하여 전달함으로 액정표시장치를 제작하는데 재료비의 상승을 가져오며, 상기 FPC(35)를 상기 게이트 PCB와 상기 소스 PCB에 연결하는 과정에서 납땜불량에 의한 액정모듈불량이 발생한다.

<45> 따라서, 이와 같은 문제점을 해결하기 위해 최근에는 FPC를 대신하여 상기 게이트 신호를 전송하는 배선을 액정패널의 하부기판에 직접 패터닝하는 구성을 제안하고 있다.

<46> 도 3은 종래의 구성보다 개선된 구조로서, 기판 위에 게이트신호 전송배선이 구성된 액정표시장치의 부분 평면도이다.

<47> 도시한 바와 같이, 하부기판(23)상에 상기 소스 PCB(31)측에서 상기 게이트 PCB(33)측으로 신호를 전송할 수 있는 게이트 신호전송배선(45)을 형성한다.

<48> 이러한 도전성 금속에는 알루미늄(Al)계열, 몰리브덴(Mo)계열, 크롬(Cr)계열 등이 있다.

<49> 도 4는 도 3의 A중 게이트신호 전송배선을 확대한 확대도 이다.

<50> 도시한 바와 같이, 상기 하부기판(도 3의 23)에 형성되는 게이트신호 전송배선(45)의 개수는 적어도 8개 이상이 필요하며 이때, 각 게이트신호 전송배선(45)에 흐르는 신호는 각각  $V_{com}$ ,  $V_{gh}$ ,  $V_{gl}$ ,  $V_{cc}$ ,  $G_{sp}$ ,  $G_{sc}$ ,  $G_{oc}$ , Gnd의 배열을 포함한다.

<51> 상기 각 게이트신호 전송배선(45)은 소스패드(47)와 게이트패드(49)를 통해 흐르게

되며, 이 때 1부터 8까지의 전송배선 사이에 더미패드를 더욱 구성하는 것이 바람직하다.

<52> 이와 같이 구성된 액정표시장치용 어레이기판은 화질불량 테스트를 거치게 되는데, 그 대표적인 예가 크로스토크(cross talk)를 측정하는 것이다.

<53> 일반적으로, 라인 어드레싱(line addressing)법에서는 인접화소의 정보에 따라서 신호가 왜곡되는 크로스토크가 발생하는데, 이러한 크로스토크를 측정하는 방법을 도 5를 참조하여 설명한다.

<54> 도 5는 상기 크로스토크를 테스트하기 위해 액정패널에 윈도우를 띄운 평면도이다.

<55> 도시한 바와 같이, 화면(61) 가운데 윈도우(63)를 띄우고 윈도우영역과 주변 계조부를 계조표시가 다르게 구동하여, 주변부의 밝기의 차이를 정량화하여 크로스토크의 정도를 표시한다.(이때, 상기 윈도우는 블랙(black)을 나타내고, 상기 윈도우의 상/하부는 그레이(grey)를 나타낸다.)

<56> 즉, 가운데 윈도우(63)를 가장 어둡게 구동하고 주변부는 전기 광학투과곡선의 기울기가 큰 전압을 걸어서 크로스토크를 재는 것이 가장 감도가 좋다.

<57> 도시한 바와 같이 윈도우는 1 프레임 기간 중에 t1, t3동안에는 중간계조만 표시되고 t2 시간동안은 블랙(black)과 중간계조가 같이 표시된다.

<58> 이때, 블랙 윈도우영역(63)의 좌우방향으로 t2시간 동안의 중간계조가 t1이나 t3시간 동안의 중간계조와 다르게 표시된다.

<59> 이와 같이, 나타나는 화면 이상형태를 수평 크로스토크(horizontal cross talk)라 한다.

- <60> 즉, 수평 크로스토크는 액정패널내에 블랙 윈도우영역을 표시하면 패턴의 좌우 부분의 밝기에 영향을 미쳐 희미한 그림자와 같이 표시되는 현상이다.
- <61> 이와 같은 크로스토크 현상은 아래와 같은 여러 원인에 의해 발생한다.
- <62> 첫째, 데이터전압과 공통전압 사이의 신호 커플링(signal coupling)에 의한 상기 공통전압의 왜곡;
- <63> 둘째, 상기 화소전극의 면적저항이나 상기 패드부의 접촉저항에 의한 신호의 왜곡;
- <64> 셋째, 상기 소스 구동IC와 데이터 구동 IC의 전류 구동능력;
- <65> 넷째, 상기 박막트랜지스터의 충전능력 부족 등을 들 수 있다.
- <66> 이하 여러 원인이 있지만, 특히 액정패널의 특정모델에서 발생하는 수평크로스토크의 주원인은 상기 기판 상에 게이트 신호전송배선을 직접패턴하는 구조에서 상기 8개의 신호 중 특히  $V_{gl}$ 신호의 왜곡현상이 두드러지는데 그 원인이 있었다.
- <67> 상기  $V_{gl}$  전압파형은 모든 게이트배선에 동시에 입력되기 때문에 많은 전류가 소비되며, 따라서 상기 기판 상에 구성된 게이트 신호전송배선의 길이나 너비로는 상기  $V_{gl}$  신호를 원활히 흐르게 하는데 무리가 있다.
- <68> 따라서, 상기 게이트 신호전송배선의 저항에 의해 상기  $V_{gl}$  신호파형이 심하게 왜곡되고, 이러한  $V_{gl}$ 파형의 왜곡은 데이터신호의 파형에 영향을 미치며 결과적으로, 상기 데이터전압과 공통전압의 차이에 의해 결정되는 액정인가 전압을 변화시켜 상기 윈도우패턴이 없을 때의 액정의 인가전압과 차이가 생기게 된다.
- <69> 이러한 전압의 차이가 사람의 눈으로 인지 할 수 있을 정도의 수평 크로스토크를 액정패널에 발생시키는 원인이 된다.

<70> 도 6a 내지 도 6b는 전술한 도 5의 윈도우패턴을 띄운 액정패널에서 상기 윈도우영역을 중심으로 경계부에서의 파형을 나타낸 도면이다.(도 3과 도 5를 참조하여 설명한다.)

<71> 도 6a는 소스 PCB(도 3의 31)에서 출력된 전압을 상기 게이트 신호전송배선(도 3의 45)을 거치지 않고 직접 인가한 제 1의 경우, 윈도우 영역(도 5의 63)과 상기 윈도우 영역의 상하 경계영역에서 측정한  $V_{gl}$  신호의 파형을 나타낸 것이고, 도 6b는 상기 소스 PCB(31)와 상기 게이트 신호전송배선(45)을 통해 상기 게이트 PCB(33)로 흐르는 전압을 인가한 제 2의 경우, 상기 윈도우영역의 경계에서 측정한  $V_{gl}$  신호의 파형을 나타낸 것이다.(이 때, 파형은 윈도우영역을 거쳐 화면의 세로방향으로 측정한 값이다.)

<72> 도 6a에 도시한 바와 같이, 상기 제 1의 경우에는 상기 윈도우영역(도 5의 (63)과, 상기 경계부(64)에서 나타나는  $V_{gl}$  신호(65a)(65b)와 상기 경계부를 중심으로 주변영역에서 측정되는 파형과는 대략 4.2mV의 미약한 차이가 있으나, 도 6b에 도시한 바와 같이, 상기 제 2의 경우에는 상기 윈도우영역(도 5의 63)의 경계부(도 5의 64)에서 나타나는  $V_{gl}$  신호(65a)(65b)와 그 주변영역에서 나타난 상기  $V_{gl}$  신호의 전압편차가 대략 67mV로 큰 차이를 보였다.

<73> 따라서, 이와 같은 결과 상기  $V_{gl}$ (65)신호가 왜곡을 나타내는 것은 상기 소스패드와 게이트패드에 연결되어 구성된 상기 게이트신호 전송배선의 저항이 커다란 영향을 미친다는 결론을 얻을 수 있다.

【발명이 이루고자 하는 기술적 과제】

<74> 따라서, 본 발명은 상기 FPC를 대신한 새로운 배선 연결방법을 통해 저비용 효율과 배선불량이 없는 액정표시장치를 제작하는데 그 목적이 있다.

【발명의 구성 및 작용】

<75> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 상부기판과, 상기 상부기판과 실런트로 합착되는 복수개의 소스패드 및 복수개의 게이트패드가 형성된 하부기판을 가진 액정패널과; 상기 복수개의 소스패드에 신호를 전달하는 소스 PCB와; 외부 회로로부터 상기 소스 PCB를 통해 게이트신호( $V_{com}$ ,  $V_{gh}$ ,  $V_{gl}$ ,  $V_{cc}$ ,  $G_{sp}$ ,  $G_{sc}$ ,  $G_{oc}$ ,  $G_{nd}$ )를 게이트 PCB에 전달하기 위하여, 하부기판의 모서리에 인접한 복수개의 게이트패드와 복수개의 소스패드를 연결하고, 상기  $V_{gl}$  신호를 전송하는 전도성 배선의 저항값은  $30\Omega$  이하가 되도록 구성된 다수의 게이트 신호전송배선을 포함한다.

<76> 상기 게이트신호 전송배선은 적어도 8개인 것을 특징으로 한다.

<77> 상기 복수개의 소스패드와 상기 복수개의 게이트패드 사이에 더미패드를 더욱 포함하는 것을 특징으로 한다.

<78> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

<79> -- 실시예 --

<80> 본 발명의 실시예는 별도의 FPC부품을 사용하지 않고, 상기 FPC에 대응하는 게이트 신호 전송배선을 기판 상에 직접 구성하고, 상기 게이트신호 중  $V_{gl}$  신호파형이 왜곡되지 않도록, 상기  $V_{gl}$  신호가 흐르는 게이트 신호전송배선의 저항을 제어하여 액정표시장치

를 구성한다.

<81> 이하 도 7은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이다.

<82> 본 발명에서는 상기  $V_{gl}$  신호파형의 왜곡에 의한 화면의 수평 크로스토크(horizontal cross talk)를 없애기 위해, 상기 8개의 게이트신호 전송배선(135)중 상기  $V_{gl}$  신호배선(135a)의 저항을 낮추어  $V_{gl}$  신호파형의 왜곡을 줄이고자 한다.

<83> 저항을 줄이는 방법에는 비저항이 낮은 물질을 상기 게이트 신호전송배선(135)의 전도성배선으로 사용하거나 배선의 길이를 짧게 하거나, 만약 배선의 길이가 일정하게 정해져 있을 경우에는 배선의 면적을 크게 하는 방법 등을 사용할 수 있다.

<84> 도시한 바와 같이, 액정표시장치(150)는 게이트배선(141)과 데이터배선(143)과 박막트랜지스터(T)와 화소를 포함하는 액정패널(153)과, 상기 액정패널(153)의 게이트배선(141)에 주사신호(scanning signal)를 입력하는 게이트 구동IC(145)와, 데이터배선(143)에 화상신호(data signal)를 입력하는 소스 구동IC(147)를 포함하고 상기 게이트구동 IC(145)에 신호를 인가하는 게이트 PCB(149)와 상기 소스 구동IC(147)에 신호를 인가하는 소스 PCB(151)를 포함한다.

<85> 이때, 상기 액정패널(153)의 모서리부에는 게이트신호 전송배선(135)이 구성되며, 이는 상기 게이트 PCB(149)에 전술한 게이트신호인  $V_{com}$ ,  $V_{gh}$ ,  $V_{gl}$ ,  $V_{cc}$ ,  $G_{sp}$ ,  $G_{sc}$ ,  $G_{oe}$ ,  $G_{nd}$ 를 입력하는 수단이 된다.

<86> 상기 게이트신호 전송배선은 1부터 8까지의 게이트 신호전송배선(135)사이에 터미페드를 사용하는 것이 더욱 바람직하다.



- <87> 왜냐하면, 상기 각 배선을 따라 흐르는 전압은 동일하지 않음으로, 서로 다른 전압이 흐르는 배선이 가까이 인접하게 되면 상기 각 배선 사이의 전위차에 의한 전기적 불량이 발생할 가능성이 있기 때문이다.
- <88> 상기 게이트신호 전송배선(135)은 액정패널(153)의 일부 모서리를 따라 형성되며, 액정패널(153)의 모서리에 근접한 게이트패드(161)와 데이터패드(163)에 동시에 연결하여 형성한다.
- <89> 이때, 상기 게이트 신호전송배선(135)의 길이는 위치에 따라 조금씩 다르나 이 배선들의 저항값은  $100\Omega$ 으로 하며 특히, 상기 8개의 신호 중  $V_{gl}$ 이 흐르는 게이트신호 전송배선(135a)은 저항값이  $30\Omega$ 이하가 되도록 구성한다.
- <90> 이는 전술한 바와 같이, 상기 게이트 신호전송배선(135)의 저항값을 낮추어 줌으로써, 높은 저항값에 의한 게이트신호( $V_{gl}$ )의 파형 왜곡을 줄이기 위함이며, 저항값을  $30\Omega$ 이하로 한것은 액정패널에 발생하는 크로스토크 현상이 사람의 눈으로 인지되지 않을 정도를 기준으로 했을 때 얻어진 값이다.
- <91> 전술한 바와 같은 저항값을 얻기 위해, 본 발명에서는 상기  $V_{gl}$ 신호가 흐르는 게이트배선의 면적을 크게 하여 구성한다.
- <92> 상기  $V_{gl}$ 신호가 흐르는 게이트 전송배선의 저항을  $30\Omega$ 이하로 하기 위한 방법은 다양하게 실시될 수 있다.
- <93> 도 8은 본 발명에 따라 제작된 액정패널의 테스트를 위한 윈도우패턴을 중심으로 측정한 파형을 도시한 도면이다. (도 5를 참조하여 설명한다)
- <94> 본 측정은  $30\Omega$ 이하의 게이트배선의 저항값 중, 상기  $V_{gl}$ 신호 전송배선(도 7의

135a)의 저항값이  $20\Omega$ 일 경우에, 상기 윈도우영역의 경계부에서의 파형을 측정한 것이다.

<95> 도시한 도면은 실제 측정장치의 화면을 그대로 도면화 한 것으로, 상기 도 6b에 도시한 파형이 나타내는 전압편차와 비교해  $V_{gl}$  전압편차가 25mV로 매우 낮은 값을 보이고 있음을 알 수 있다.

#### 【발명의 효과】

<96> 따라서, 상기  $V_{gl}$  신호가 흐르는 게이트 신호전송배선의 면적을 크게 하여 저항을 낮추어  $V_{gl}$  신호파형의 왜곡을 미소하게 함으로써, 신호왜곡에 의해 액정패널에 나타나는 크로스토크 현상을 방지할 수 있다.

<97> 따라서, 화질불량이 없는 액정표시장치를 제작할 수 있는 효과가 있다.

## 【특허청구범위】

## 【청구항 1】

상부기판과, 상기 상부기판과 실런트로 합착되는 복수개의 소스패드 및 복수개의 게이트패드가 형성된 하부기판을 가진 액정패널과;

상기 복수개의 소스패드에 신호를 전달하는 소스 PCB와;

외부회로로부터 상기 소스 PCB를 통해 게이트신호( $V_{com}$ ,  $V_{gh}$ ,  $V_{gl}$ ,  $V_{cc}$ ,  $G_{sp}$ ,  $G_{sc}$ ,  $G_{oe}$ ,  $G_{nd}$ )를 게이트 PCB에 전달하기 위하여, 하부기판의 모서리에 인접한 복수개의 게이트패드와 복수개의 소스패드를 연결하고, 상기  $V_{gl}$  신호를 전송하는 전도성 배선의 저항값은  $30\Omega$  이하가 되도록 구성된 다수의 게이트 신호전송배선

을 포함하는 액정표시장치.

## 【청구항 2】

제 1 항에 있어서,

상기 게이트신호 전송배선은 적어도 8개인 액정표시장치.

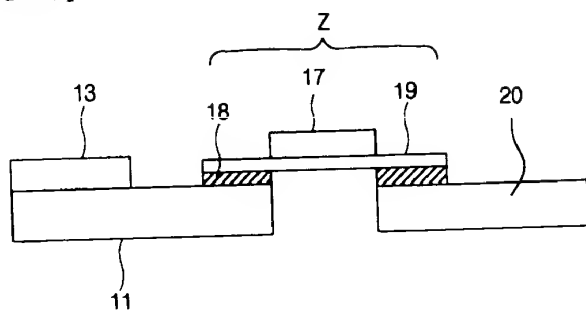
## 【청구항 3】

제 1 항에 있어서,

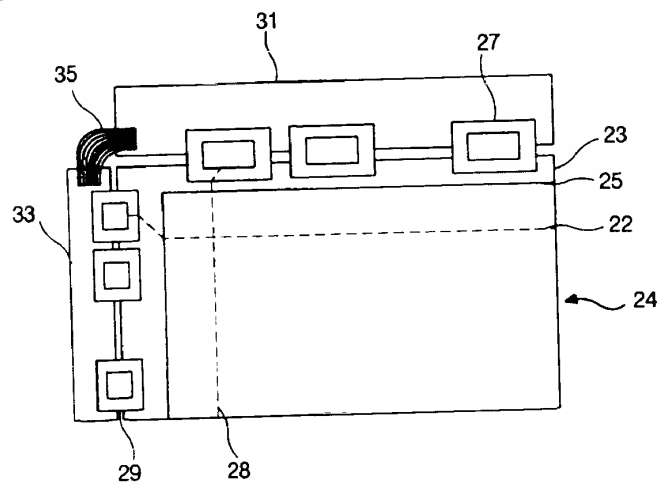
상기 복수개의 소스패드와 상기 복수개의 게이트패드 사이에 더미패드를 더욱 포함하는 액정표시장치.

## 【도면】

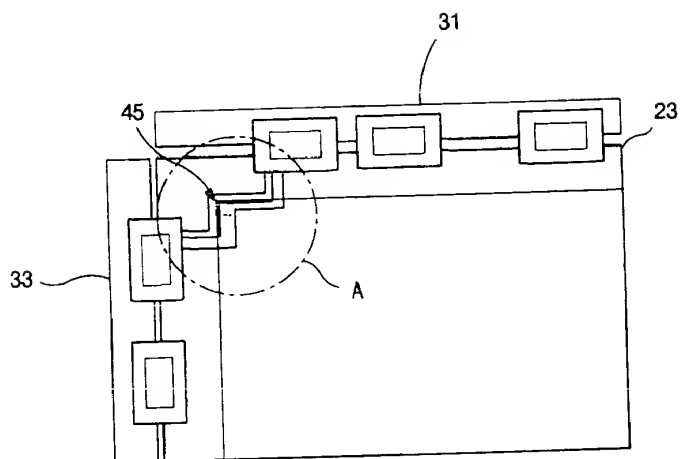
【도 1】



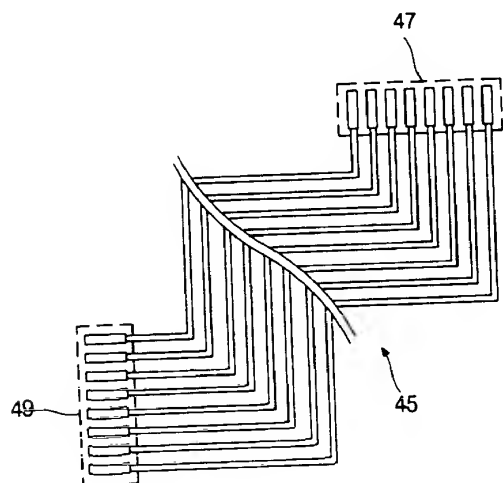
【도 2】



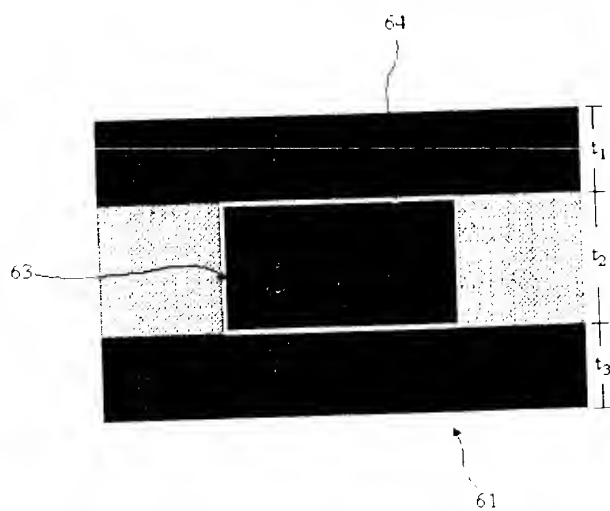
【도 3】



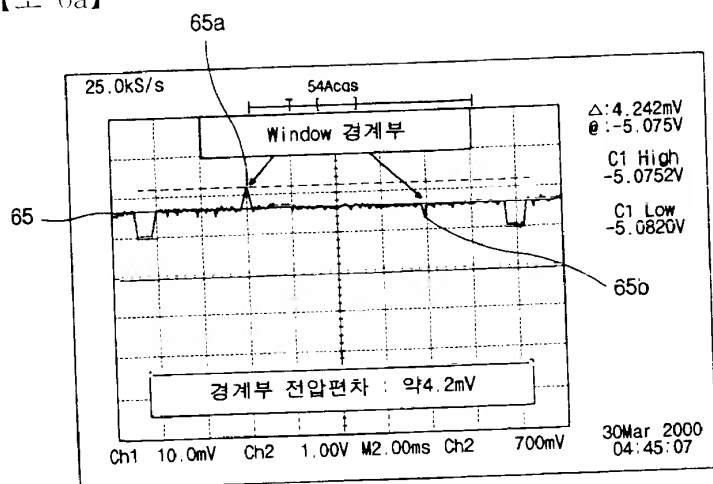
【도 4】



【도 5】

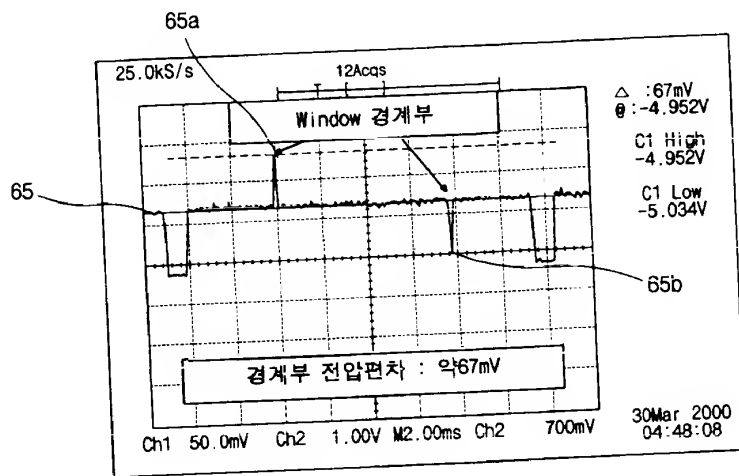


【도 6a】

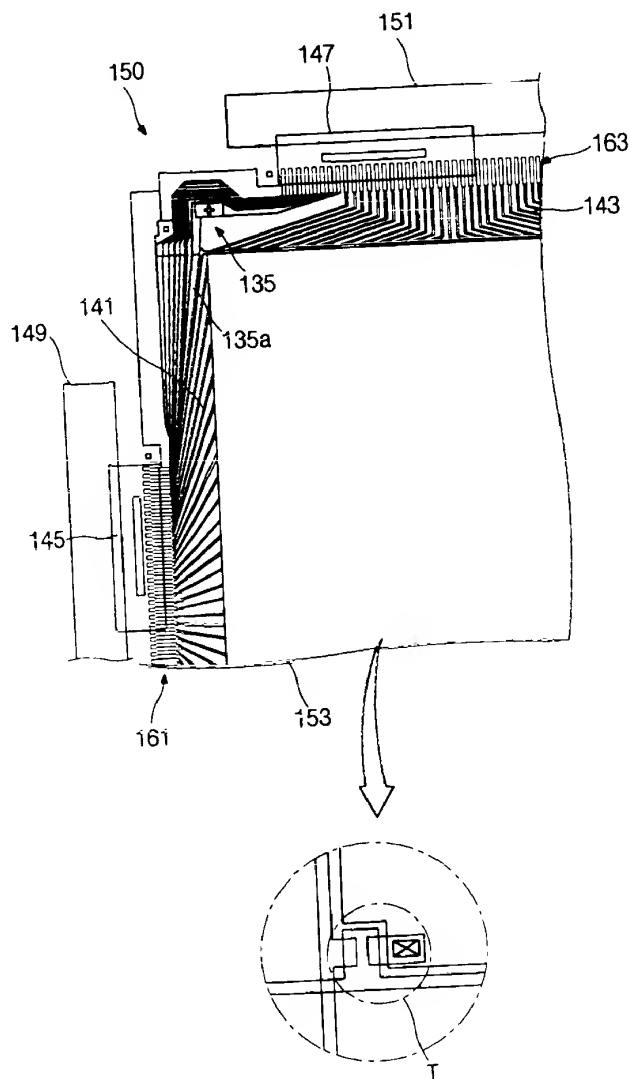


1020000029725

【도 6b】



【図 7】





【도 8】

